



(19)

(11) Publication number: 09205181 A

Generated Document.

# PATENT ABSTRACTS OF JAPAN

(21) Application number: 08032858

(51) Intl. Cl.: H01L 27/10 H01L 27/108 H01L 21/8242  
H01L 21/8247 H01L 29/788 H01L 29/792

(22) Application date: 26.01.96

(30) Priority:

(43) Date of application publication: 05.08.97

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: KATO ARIMITSU

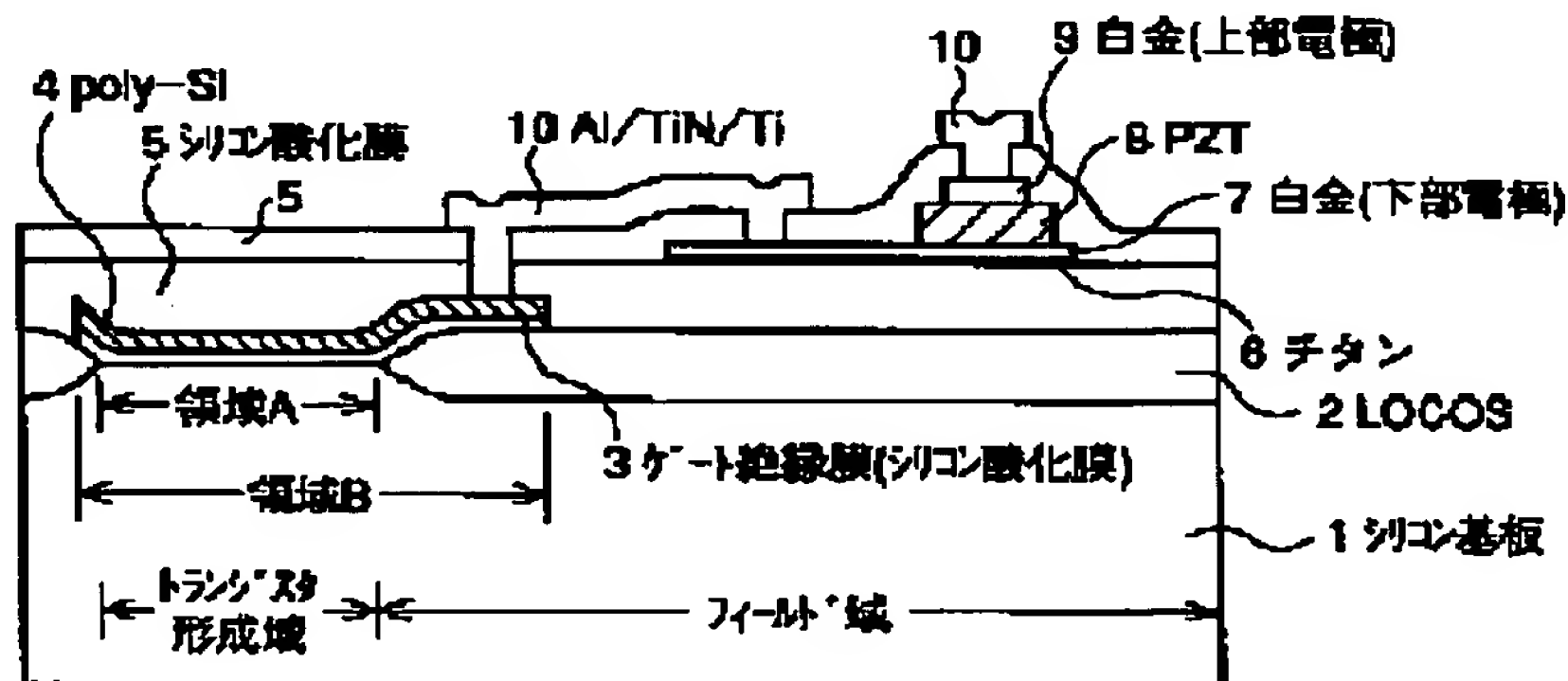
(74) Representative:

## (54) SEMICONDUCTOR DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a non-volatile storage device in which a ferroelectric capacitance is connected to a gate electrode of a field effect transistor (FET) of a metal-insulator-semiconductor(MIS) structure (MISFET) and which can improve its noise immunity in a read mode of the device.

**SOLUTION:** The semiconductor device comprises a ferroelectric capacitance of a ferroelectric (lead zirconate titanate(PZT)) 8 disposed between two electrodes 7 and 9, and a field effect transistor. The field effect transistor is connected at its gate electrode 4 to one 7 of the electrodes of the ferroelectric capacitance. An area of the electrode 9 of the ferroelectric capacitance is set to be smaller than an area (zone B) of a gate pattern of the field effect transistor or than a gate area (zone A) on an active zone of the transistor, so that the ferroelectric capacitance can have a large capacitive value and thus a voltage applied to the ferroelectric 8 can become large. Thereby an electric field applied to the ferroelectric 8 is also large with its increased polarization. Since the voltage applied to a gate insulating film 3 is decreased, the gate insulating film can be set to have a sufficiently high breakdown voltage, its application voltage can be increased, and further its polarization can be made large.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-205181

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/108				6 5 1
21/8242			29/78	3 7 1
21/8247				
29/788				

審査請求 有 請求項の数10 F D (全 10 頁) 最終頁に続く

(21)出願番号 特願平8-32858

(22)出願日 平成8年(1996)1月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 加藤 有光

東京都港区芝5丁目7番1号 日本電気株式会社内

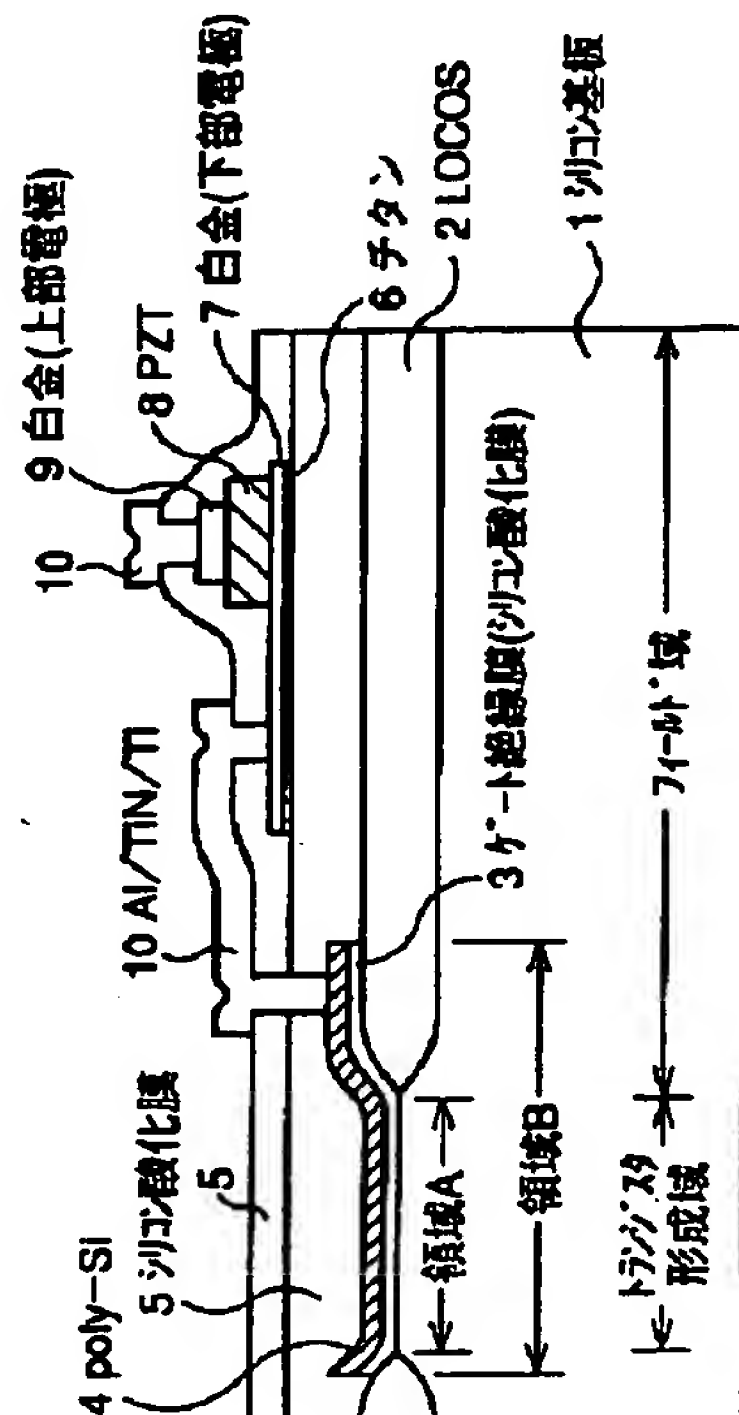
(74)代理人 弁理士 小橋川 洋二

#### (54)【発明の名称】 半導体装置

#### (57)【要約】

【課題】 MISFETのゲート電極に強誘電体容量が接続された構造の不揮発性メモリ素子の読み出し時のノイズ耐性を向上させる。

【解決手段】 2つの電極7, 9に挟まれた部分に強誘電体(PZT)8を含む強誘電体容量と、電界効果トランジスタとから成り、電界効果トランジスタのゲート電極4と強誘電体容量の一方の電極7とを接続した半導体装置において、強誘電体容量の電極9の面積を、電界効果トランジスタのゲートパターンの面積(領域B)または電界効果トランジスタの活性領域上のゲート面積(領域A)より小さくした。電極9の面積をゲート面積より小さくしたので、強誘電体容量の容量値が小さくなり強誘電体8にかかる電圧が大きくなる。これにより、強誘電体8にかかる電界も大きくなり分極が大きくなる。ゲート絶縁膜3にかかる電圧が減少するため、ゲート絶縁膜の耐圧に余裕ができ印加電圧を上げることが可能となり、さらに分極量を大きくすることができる。



## 【特許請求の範囲】

【請求項1】 2つの電極に挟まれた部分に強誘電体を含む強誘電体容量と、電界効果トランジスタとから成り、前記電界効果トランジスタのゲート電極と前記強誘電体容量の一方の電極とを接続した半導体装置において、前記強誘電体容量の電極の面積を、前記電界効果トランジスタのゲートパターンの面積より小さくしたことを特徴とする半導体装置。

【請求項2】 2つの電極に挟まれた部分に強誘電体を含む強誘電体容量と、電界効果トランジスタとから成り、前記電界効果トランジスタのゲート電極と前記強誘電体容量の一方の電極とを接続した半導体装置において、前記強誘電体容量の電極の面積を、前記電界効果トランジスタの活性領域上のゲート面積より小さくしたことを特徴とする半導体装置。

【請求項3】 前記強誘電体は、前記ゲート電極の全面、またはゲート電極より広い範囲、またはゲート電極に接続された配線の全面、またはゲート電極に接続された配線より広い範囲に形成され、この強誘電体の上に上部電極が形成された請求項1または2に記載の半導体装置。

【請求項4】 前記強誘電体は、前記ゲート電極上の一部、またはゲート電極に接続された配線の一部に形成され、この強誘電体の上に上部電極が形成された請求項1または2に記載の半導体装置。

【請求項5】 前記ゲート電極上またはゲート電極に接続された配線上に絶縁膜が形成され、この絶縁膜の一部が除去され、この除去された部分に前記強誘電体が形成され、この強誘電体の上に上部電極が形成された請求項1または2に記載の半導体装置。

【請求項6】 前記ゲート電極上またはゲート電極に接続された配線上に絶縁膜が形成され、この絶縁膜の一部が除去され、この除去された部分に下部電極が形成され、この下部電極の上に前記強誘電体が形成され、この強誘電体の上に上部電極が形成された請求項1または2に記載の半導体装置。

【請求項7】 前記ゲート電極のゲート絶縁膜にかかる電界が、耐電界以下となるように、前記強誘電体容量の膜厚、強誘電体容量の電極面積、ゲート絶縁膜の膜厚、およびゲート電極の面積または活性領域上のゲート面積を設定する請求項1または2に記載の半導体装置。

【請求項8】 前記強誘電体にかかる最大電界が、前記強誘電体の抗電界以上となるように、前記強誘電体容量の膜厚、強誘電体容量の電極面積、ゲート絶縁膜の膜厚、およびゲート電極の面積または活性領域上のゲート面積を設定する請求項1または2に記載の半導体装置。

【請求項9】 2つの電極に挟まれた部分に強誘電体を含む強誘電体容量と、電界効果トランジスタとから成り、前記電界効果トランジスタのゲート電極と前記強誘電体容量の一方の電極とを接続した半導体装置におい

て、最大電圧印加時にゲート絶縁膜にかかる電界が耐電界以下となり、かつ強誘電体にかかる最大電界が強誘電体の抗電界以上となるように、前記強誘電体容量の膜厚、強誘電体容量の電極面積、ゲート絶縁膜の膜厚、およびゲート電極の面積または活性領域上のゲート面積を設定することを特徴とする半導体装置。

【請求項10】 2つの電極に挟まれた部分に強誘電体を含む強誘電体容量と、電界効果トランジスタとから成り、前記電界効果トランジスタのゲート電極と前記強誘電体容量の一方の電極とを接続した半導体装置において、前記強誘電体容量の膜厚とゲート絶縁膜の膜厚の比が1~300であり、かつ強誘電体容量の電極面積とゲート電極の面積または活性領域上のゲート面積との比が0.01~5であることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に強誘電体容量と電界効果トランジスタのゲート電極を接続した構造の不揮発性メモリ素子に用いられる半導体装置に関するものである。

## 【0002】

【従来の技術】従来より、MIS型電界効果トランジスタ（以下、MISFET: metal insulator semiconductor field effect transistor）のゲート電極と強誘電体容量とを接続した構造の不揮発性メモリ素子が提案されている。

【0003】図2はその回路図の一例を示し、図2の例では、MISFETのゲート電極と強誘電体容量の電極の一方が接続されている。強誘電体は電圧を加えることにより分極を起こすため、強誘電体容量の2つの電極のうちMISFETと接続されていない側の電極と、シリコン基板またはソース領域またはドレイン領域との間に電圧を加えることにより、強誘電体容量部の強誘電体膜を分極させることができる。このとき分極の方向によりシリコン基板表面に電荷が引きつけられたり、退けられたりするため、このMISFETのしきい値電圧が変化し、ソース・ドレイン間の電流の変化をみることで記憶状態を読み取ることができる。さらに分極した後、印加電圧を取り除いても強誘電体の性質として残留分極が残るため、しきい値電圧が変化したままとなる。これらの記憶性と不揮発性を利用して、不揮発性メモリ素子を構成することができる。読み出し時のノイズ耐性を考えると、チャネル部の電荷密度の分極方向による変化は大きい方が望ましい。

【0004】図3のように強誘電体容量の一方の電極とMISFETのゲート電極との接続部に配線が接続されている場合、たとえば別のMISFETのドレインが前記接続部に接続されており電圧印加時にその別のMISFETがオフ状態で高抵抗とする場合は、前述のように分極を起こさせることができ、不揮発性メモリ素子が構成

できる。

【0005】図18に特開平4-177699号で提案された不揮発性メモリセル構造を示す。この構造では半導体基板上のMISFET16のゲート電極に強誘電体容量15の電極の一方が接続されており、強誘電体容量15のもう一方の電極に非線形導電素子(MIM)14が接続されている。非線形導電素子14と半導体基板との間に電圧を印加し、強誘電体15を分極させることでデータを書き込み、ソース・ドレイン間の電流が分極の程度方向で変化することを利用してデータを読み出す。

【0006】図19に特開平5-154077号で提案された不揮発性メモリ装置の断面構造を示す。この装置は、図に示すように、上から順に、上部電極白金18、強誘電体19、下部白金20、高誘電体21、半導体の構造になっている。この場合は上部導体と基板との間に電圧を印加し強誘電体を分極させることでデータを書き込む。

【0007】図18、19の従来技術では強誘電体容量面積とMISFETのゲート面積についての制限はない。

【0008】次に、上記と類似の構造で下部電極に電圧を印加する使用方法のものを2つ示す。図20に特開平3-32066号で提案された不揮発性メモリ装置の断面構造を示す。この構造では半導体基板上にゲート絶縁膜であるシリコン酸化膜5が形成され、その上に下部電極27、強誘電体容量26、上部電極25の順に形成されている。そして下部電極27が強誘電体容量26の一方の電極とMISFETのゲート電力を兼ねている。上部電極25と下部電極27との間に電圧をかけて強誘電体容量26を分極させる。

【0009】図21に特開平5-304299号で提案された不揮発性メモリ素子の断面構造を示す。この構造では、上部電極34、強誘電体33、下部電極32、絶縁体31、半導体基板1の順に形成され、下部電極32と上部電極34との間に電圧を印加することにより強誘電体33を分極させデータを書き込む。

【0010】図20、21に示す構造においても強誘電体容量面積とMISFETのゲート面積についての制限はなく、例として挙げられている構造では上部電極と下部電極が同じ大きさになっている。

【0011】

【発明が解決しようとする課題】強誘電体容量面積とゲート面積が同じで、かつ強誘電体膜厚とゲート絶縁体膜厚が同じ場合について考える。誘電率は概してゲート絶縁体材料に比べ強誘電体の方が大きい。たとえば現状のゲート絶縁体として最も使用されているシリコン酸化膜は比誘電率が3.9程度であるのに対し、強誘電体であるPZTでは1000程度もある。

【0012】図2の構造で強誘電体の電極とトランジスタの基板・ソース・ドレインとの間に電圧を印加するこ

とで強誘電体に分極を引き起こそうとすると、誘電率の差のため強誘電体の容量値がゲート絶縁体容量に比べ1000/3.9倍大きい値となるため、印加電圧のほとんどがゲート絶縁膜の方にかかってしまう。このため電圧がほとんどかかからない強誘電体では分極が少ししか発生しない。

【0013】分極が少ないと、分極電荷によりトランジスタのチャネル領域に引き寄せられる場合と遠ざけられる場合の電荷の差が少なくなり、分極方向によるトランジスタ特性の変化量が小さくなる。このため2つの状態の差をソース・ドレイン間電流で区別する従来の技術によれば、ノイズによる読み出し間違いが起りやすくなるという問題があった。

【0014】この場合、印加電圧を上げることで電界を大きくできるが、上げた電圧のほとんどが絶縁膜にかかってしまい、ゲート絶縁膜の耐圧により強誘電体に印加できる電界が制限されてしまう。

【0015】また、一般に2つの容量が直列に接続されているとき、一方の容量を小さくするとその容量にかかる電圧を大きくできる。膜厚を厚くすることは容量を小さくする1つの方法であるが、強誘電体容量の膜厚を厚くした場合、電圧は高くなるが厚くなったぶん電界が小さくなる要因も持つ。また、ゲート絶縁体膜厚を薄くすることで強誘電体にかかる電圧を上げられるが、ゲート絶縁膜の耐圧が低くなるため耐圧を越えないように印加する電圧自体を下げなければならなくなる。このため、膜厚を変化させることでは分極量に大きな改善は見込めない。

【0016】図17は、分極の経時劣化を示すリテンションの印加電界依存性をPZTについて測定した結果の一例を示す。印加電界が小さいとリテンションが悪く分極減少が大きい。分極が小さくなるにつれノイズ耐性が悪くなってしまふ。このため電界は大きいことが望ましい。

【0017】本発明は上記の点にがんがみて成されたもので、その目的は、強誘電体膜にかかる電界を高くし分極を大きくすることにより、チャネル部電荷密度の分極方向による差を大きくする構造を提供することにある。

【0018】

【課題を解決するための手段】そこで、本発明においては、2つの電極に挟まれた部分に強誘電体を含む強誘電体容量と、電界効果トランジスタとから成り、前記電界効果トランジスタのゲート電極と前記強誘電体容量の一方の電極とを接続した半導体装置において、強誘電体容量の電極の面積を、電界効果トランジスタのゲートパターンの面積または活性領域内のゲート面積より小さくするように構成した。

【0019】強誘電体容量の2つの電極の大きさが異なる場合は、容量は小さい方の電極の面積でほぼ決まるので、小さい方の電極の面積を、電界効果トランジスタの

10

20

30

40

50



ゲートパターンの面積または活性領域内のゲート面積より小さくする。

【0020】強誘電体は、ゲート電極の全面、またはゲート電極より広い範囲、またはゲート電極に接続された配線の全面、またはゲート電極に接続された配線より広い範囲に形成し、この強誘電体の上に上部電極を形成することができる。

【0021】また、強誘電体は、ゲート電極上の一部、またはゲート電極に接続された配線の一部に形成し、この強誘電体の上に上部電極を形成することもできる。

【0022】ゲート電極上、またはゲート電極に接続された配線上に絶縁膜を形成し、この絶縁膜の一部を除去して、この除去された部分に強誘電体を形成し、この強誘電体の上に上部電極を形成することができる。

【0023】さらに、ゲート電極上、またはゲート電極に接続された配線上に絶縁膜を形成し、この絶縁膜の一部を除去し、この除去された部分に下部電極を形成し、この下部電極の上に強誘電体を形成し、この強誘電体の上に上部電極を形成してもよい。

【0024】以上のように、強誘電体容量の電極の面積をゲート面積より小さくするため、同じ面積にした場合に比べ強誘電体容量の容量値が小さくなり強誘電体にかかる電圧が大きくなる。このとき強誘電体容量の厚さは変えていないので、強誘電体にかかる電界も大きくなり分極が大きくなる。また、ゲート絶縁膜にかかる電圧が減少するため、ゲート絶縁膜の耐圧に余裕ができ印加電圧を上げることが可能となり、さらに分極量を大きくすることができる。これらの効果は、強誘電体膜厚を厚くして容量値を小さくした場合には得られない。

【0025】ただし、強誘電体容量面積がゲート面積に比べ小さくなるほど分極による電荷が広いゲートに広がるため、チャネル部の電荷密度が少なくなる要因ももっている。この2つの要因のためチャネル部の電荷密度を大きくする条件として面積比に最適値が存在する。

【0026】また、ゲート電極のゲート絶縁膜にかかる電界が、耐電界以下となるように、強誘電体容量の膜厚、強誘電体容量の電極面積、ゲート絶縁膜の膜厚、およびゲート電極の面積または活性領域上のゲート面積を設定することもでき、そうすれば、ゲート絶縁膜を破壊することがない。

【0027】それに加えて、強誘電体にかかる最大電界が、強誘電体の抗電界以上となるように、前記強誘電体容量の膜厚、強誘電体容量の電極面積、ゲート絶縁膜の膜厚、およびゲート電極の面積または活性領域上のゲート面積を設定することもでき、そうすればリテンションの良好な強誘電体特性を得ることができる。

【0028】こうした効果は、強誘電体容量の電極の面積を電界効果トランジスタのゲートパターンの面積または活性領域内のゲート面積より小さくした構造に限られない。すなわち、ゲート面積または2つの電極に挟まれ

た部分に強誘電体を含む強誘電体容量と、電界効果トランジスタとから成り、前記電界効果トランジスタのゲート電極と前記強誘電体容量の一方の電極とを接続した半導体装置において、最大電圧印加時にゲート絶縁膜にかかる電界が耐電界以下となり、かつ強誘電体にかかる最大電界が強誘電体の抗電界以上となるように、強誘電体容量の膜厚、強誘電体容量の電極面積、ゲート絶縁膜の膜厚、およびゲート電極の面積または活性領域上のゲート面積を設定することにより、リテンションの良好な強誘電体特性を得ることができる。

【0029】

【実施例】

(実施例1) 本発明の実施例について図面を参照しながら説明する。まず第1の実施例の半導体装置の製造工程を述べる。シリコン半導体基板1にフィールド域、トランジスタ形成域を形成した後、ゲート絶縁膜となるシリコン酸化膜3を熱酸化で形成する。次にpoly-Si(ポリシリコン)膜4を形成しフォトリソグラフィ技術でゲートパターン(図1の領域A)のパターニングを行う。ゲートをマスクとしてゲート以外のトランジスタ形成域にリンやボロンなどの不純物をイオン注入し、電界効果トランジスタのソース・ドレイン領域を形成する。その上にシリコン酸化膜5を形成する。表面を平坦化するため、このシリコン酸化膜5に化学研磨(CMP)を施す。

【0030】次いで、全面にチタン6、白金7をスパッタで形成し、その上に強誘電体材料PZT8をゾルゲル法でスピコートし650°Cで酸素中で焼結して形成する。このPZT8、白金7、チタン6をミリングで希望の大きさに加工する。

【0031】その後白金9をスパッタし、ミリング加工することでPZT8上に上部電極9を形成する。そして全面にシリコン酸化膜5を形成し、ゲートコンタクト、ソース・ドレインコンタクト、上部電極コンタクトを開口する。アルミ/窒化チタン/チタンの積層構造10をスパッタしパターニングすることで、トランジスタのゲート4と強誘電体容量の下部電極7とを接続する。これにより、図2の回路が形成される。また、ゲート4と強誘電体容量8の電極7とを接続した配線10を他の素子やパッドに接続することで図3の回路を形成できる。

【0032】上記構造において強誘電体容量8の電極(本実施例の場合は上部電極9)の面積は、ゲートパターンの面積(図1の領域B)または活性領域上のゲート面積(図1の領域A)より小さく形成する。また、ゲート絶縁体3としてはシリコン酸化膜以外にCeOなどの常誘電体も使用可能である。

【0033】(実施例2) 図4に本発明の第2実施例を示す。その製造方法について説明すると、シリコン半導体基板1にフィールド域、トランジスタ形成域を形成した後、ゲートシリコン酸化膜3を熱酸化で形成し、次に

ゲートとなる  $\text{poly-Si}$  膜 4 を形成し、続けて  $\text{Ir}$  (イリジウム) 層 11 を形成する。その上に強誘電体材料  $\text{PZT}$  8 をスパッタ法で形成し  $650^\circ\text{C}$  酸素中で焼成する。その後上部電極となる白金 9 をスパッタで形成する。そして上部電極 9 をフォトリソグラフィ技術でミリング加工し、その後ゲート形状のパターンで  $\text{PZT}$  8、 $\text{Ir}$  11、 $\text{poly-Si}$  膜 4、ゲートシリコン酸化膜 3 をミリングおよびドライエッチング技術を用いて加工する。その後イオン注入によりソース・ドレインを形成する。 $\text{Ir}$  11 は酸化されても導電体のためトランジスタのゲートと強誘電体容量の電極が共通となる。これにより、図 2 の回路が形成される。

【0034】また、上にシリコン酸化膜 5 を形成後、このシリコン酸化膜 5 と  $\text{PZT}$  8 をエッチングしてコンタクトホールを形成して  $\text{Ir}$  11 を露出させ、この露出した  $\text{Ir}$  11 上にアルミ配線を形成し、この配線を他の素子やパッドに接続することで図 3 の回路を形成できる。

【0035】強誘電体容量の面積は、ほぼ上部電極 9 の大きさで決定されるが、この上部電極 9 の面積は、ゲートパターン (領域 B) か、または活性領域上のゲート面積 (領域 A) より小さく設定されている。

【0036】本実施例の場合、強誘電体容量の下部電極とゲート 4 とが直結されており、第 1 実施例のような配線 10 を使用していないので、第 1 実施例より装置全体の面積を小さくすることができるという利点がある。

【0037】(実施例 3) 図 5 に本発明の第 3 実施例を示す。その製造方法について説明すると、ゲートシリコン酸化膜 3、 $\text{poly-Si}$  膜 4 形成後、 $\text{Ir}$  11 をスパッタで形成する。ゲートのパターンニングを行った後、シリコン基板 1 へ強誘電体材料の拡散を防ぎ良質な  $\text{PZT}$  8 をつくるために全面に  $\text{MgO}$  12 を形成する。その後スパッタ法により  $\text{PZT}$  8 を全面に形成する。この上に白金 9 をスパッタしゲート電極と一部重なるようにパターンニングし上部電極を形成すると、ゲート 4 と上部電極 9 の重なり部分が強誘電性を持つ強誘電体・常誘電体の積層構造容量となる。

【0038】上記構造では強誘電体をゲート形状に微細加工する必要はないため加工が図 4 の例に比べ容易であるという利点がある。また上部電極 9 を配線として用い、ゲートと上部電極配線をクロスさせるように形成すれば、ゲートの最小加工寸法と上部電極配線の最小加工寸法で形成される強誘電体容量が形成できるという利点がある。

【0039】(実施例 4) 図 6 は本発明の第 4 実施例を示し、この実施例では、 $\text{PZT}$  8 上にシリコン酸化膜 5 を形成し、コンタクトホールをあけた後白金配線 9 を形成する。そうするとコンタクトホールの大きさの電極をもつ強誘電体容量が形成でき、上部電極を形成してからコンタクトホールを介して配線を接続する場合に比べコンタクトの目ずれマージンが上部電極にいらなくなる分

小さい電極が形成可能であるという利点がある。

【0040】(実施例 5) 図 7 に本発明の第 5 実施例を示す。その製造方法について説明すると、ゲートとなる  $\text{poly-Si}$  膜 4 を形成後、ゲート形状にパターンニングし全面にシリコン酸化膜 5 を形成するこのシリコン酸化膜 5 にゲートコンタクトを開口し、全面に  $\text{Ir}$  配線層 13 をスパッタし配線形状にパターンニングし下部電極を形成する。全面に強誘電体  $\text{PZT}$  8 をスパッタで形成し、続けて白金 9 をスパッタし上部電極形状にミリング加工する。

【0041】本実施例によれば、シリコン基板 1 と強誘電体との間に層間絶縁膜が存在するため強誘電体材料がシリコン基板 1 まで拡散しにくく、また図 1 の例よりコンタクトホールが浅くてすむという利点がある。上部電極 9 を配線として用い、下部電極 13 と上部電極配線をクロスさせるように形成すれば、下部電極の最小加工寸法と上部電極配線の最小加工寸法で形成される強誘電体容量が形成できるという利点がある。

【0042】(実施例 6) 図 8 は本発明の第 6 実施例を示し、この実施例においては、白金配線層 13 をスパッタした後  $\text{PZT}$  8 を形成し、 $\text{PZT}$  8 と白金配線層 13 をミリングでパターンニングする。 $\text{PZT}$  8 上に上部電極白金 9 を形成後、この上にシリコン酸化膜 5 を形成し、コンタクトホールをあけ上部電極 9 と他の配線 10 とを接続する。

【0043】本実施例によれば、白金配線層 13 がある状態で強誘電体 8 を焼成するため図 7 の例に比べシリコン基板 1 への強誘電体材料の拡散が少ないという利点がある。シリコン基板 1 へ強誘電体材料が拡散すると、トランジスタ特性がばらついたり、安定性が劣化したりするため、拡散量が少ないことが望ましい。また図 6 のように  $\text{PZT}$  8 上に絶縁膜を形成し、コンタクトホールをあけた後白金配線を形成すれば、コンタクトホールサイズの電極をもつ強誘電体容量が形成できる。

【0044】(実施例 7) 図 9 に本発明の第 7 実施例を示す。その製造方法について説明すると、まずゲートとなる  $\text{poly-Si}$  膜 4 を形成した後、 $\text{Ir}$  11、 $\text{PZT}$  8、白金 9 をそれぞれスパッタで形成する。上部電極となる白金 9 と、 $\text{PZT}$  8 と、 $\text{Ir}$  11 とをミリングとドライエッチングでパターンニングした後、 $\text{poly-Si}$  膜 4 とゲートシリコン酸化膜 3 とをドライエッチングでゲート形状に加工する。

【0045】本実施例によれば、ゲートの加工と強誘電体容量の加工を別に行うため、図 4 のように強誘電体容量とゲートの加工を同時に行う場合に比べ加工が容易である。

【0046】他の製造方法として、 $\text{poly-Si}$  膜 4 と  $\text{Ir}$  11 を形成後ゲート形状にパターンニングし、その後全面に  $\text{PZT}$  8 と白金上部電極 9 を形成し、強誘電体容量以外の部分をミリングおよびドライエッチングによ

10

20

30

40

50

り除去する方法もある。また P Z T のゾルゲル溶液を塗布し、乾燥後活性層上をミリングで除去しその後焼成してから上部電極を形成する方法もある。この場合、シリコン基板 1 上にゾルゲル溶液がある状態で焼成するよりシリコン基板 1 への拡散が少ないという利点がある。また、ゲートパターンニング後に全面に M g O を形成しその後 P Z T を形成することでも直接シリコン基板 1 上に形成する場合より強誘電体材料の拡散が減少するという効果が得られる。

【0047】上部電極を配線の形状とし、P Z T を上部電極パターンでパターンニングすれば上部電極とゲートが重なっている部分に強誘電体容量が形成される。この方法によれば、上部電極を配線としても使用できるという利点がある。

【0048】（実施例 8）図 10 は本発明の第 8 実施例を示し、この実施例では、P Z T 8 にシリコン酸化膜 5 を形成しコンタクトホールをあけた後、白金配線 9 を形成した。これにより、コンタクトホールサイズの電極をもつ強誘電体容量が形成でき、上部電極を形成してからコンタクトホールを介して配線を接続する場合に比べ、上部電極にコンタクトの目ずれマージンがいなくなる分小さい電極が形成可能であるという利点がある。

【0049】（実施例 9）図 11 に本発明の第 9 実施例を示し、その製造方法について説明する。ゲートとなる p o l y - S i 膜 4 を形成後、ゲート形状にパターンニングし全面にシリコン酸化膜 5 を形成する。このシリコン酸化膜 5 にゲートコンタクトホールを開口し、全面に I r 配線層 13 をスパッタし配線形状にパターンニングし下部電極を形成する。全面に強誘電体 P Z T 8 をスパッタで形成し強誘電体容量形状にパターンニングする。続けて白金 9 をスパッタし上部電極形状にミリング加工する。

【0050】本実施例によれば、シリコン基板 1 と強誘電体 8 との間に層間絶縁膜 5 が存在するため強誘電体材料 8 がシリコン基板 1 まで拡散しにくく、また図 1 の例よりコンタクトホールが浅くてすむという利点がある。図 7 や図 8 の実施例と比較すると、下部電極配線で強誘電体を除去した部分の段差が小さくなり、後工程での加工が容易であるという利点がある。

【0051】さらに、上部電極 9 を配線の形状とし、P Z T 8 を上部電極パターンでパターンニングすれば上部電極配線と下部電極配線が重なっている部分に強誘電体容量が形成される。この方法によれば、上部電極を配線としても使用できるという利点がある。

【0052】（実施例 10）図 12 は本発明の第 10 実施例を示し、その製造方法について説明する。p o l y - S i 膜 4 形成後、I r 11 をスパッタしゲートの形状にパターンニングする。この後全面にシリコン酸化膜 5 を形成しゲートコンタクトを開口する。全面にゾルゲル法により P Z T 8 を形成する。良質の P Z T が形成できるように P Z T の前に M g O などのバッファ膜を形成して

もよい。その後白金 9 をスパッタした後ミリングでコンタクトホールを通るように白金 9 と P Z T 8 を配線形状に加工すればコンタクトホール部が強誘電体容量となる。白金 9 を配線として利用する場合、抵抗の面から厚い必要がある場合は、P Z T 上に 200 nm 程度の白金を形成しコンタクトホールを覆うサイズの上部電極をミリング加工で形成した後アルミをスパッタし配線形状にプラズマエッチングでパターンニングすれば、厚い白金を加工するより容易である。

【0053】本実施例によれば、強誘電体容量のサイズをコンタクトホールのサイズで形成できるとともに、コンタクトホールの厚さの分強誘電体による段差が減少するため段差を小さくできる利点がある。

【0054】（実施例 11）図 13 は本発明の第 11 実施例を示し、その製造方法について説明する。p o l y - S i 膜 4 を形成後、ゲート形状にパターンニングし全面にシリコン酸化膜 5 を形成する。このシリコン酸化膜 5 にゲートコンタクトを開口し、全面に I r 配線層 13 をスパッタし配線形状にパターンニングし下部電極を形成する。そして全面にシリコン酸化膜 5 を形成し下部電極へのコンタクトホールを開口する。全面に強誘電体 P Z T 8 をゾルゲル法で形成する。その後白金 9 をスパッタ後ミリングでコンタクトホールを通るように白金 9 と P Z T 8 を配線形状に加工すればコンタクトホール部が強誘電体容量となる。

【0055】本実施例によれば、強誘電体容量のサイズをコンタクトホールのサイズで形成できるとともに、コンタクトホールの厚さの分強誘電体による段差が減少するため、段差を小さくすることができるという利点がある。さらに、シリコン基板 1 と強誘電体との間に層間絶縁膜が存在するため強誘電体材料がシリコン基板 1 まで拡散しにくいという利点がある。

【0056】（実施例 12）図 14 は本発明の第 12 実施例を示し、その製造方法について説明する。p o l y - S i 膜 4 をパターンニングした後、シリコン酸化膜 5 を形成しゲートコンタクトを開口する。I r 11 をスパッタしコンタクトホールを埋めた後、CMP でコンタクトホール以外の I r を除去する。その後全面に P Z T 8 をゾルゲル法やスパッタ法で形成する。良質の P Z T が形成できるよう P Z T の前に M g O などのバッファ膜を形成してもよい。P Z T 8 上に白金配線 9 を形成すればコンタクトホールと白金配線 9 の重なり部分が強誘電体容量となる。上部電極 9 をマスクとして容量部分以外の強誘電体を除去してもよい。本実施例によれば、コンタクトホールのサイズの下部電極 11 が形成できる。

【0057】（実施例 13）図 15 は本発明の第 13 実施例を示す。p o l y - S i 膜 4 を形成後、ゲート形状にパターンニングし全面にシリコン酸化膜 5 を形成する。このシリコン酸化膜 5 にゲートコンタクトホールを開口し、全面に I r 配線層 13 をスパッタし配線形状にパタ



ーニングし配線を形成する。そして、全面にシリコン酸化膜5を形成し、配線13へのコンタクトホールを開口する。Ir11をスパッタしコンタクトホールを埋めた後、CMPでコンタクトホール以外のIrを除去する。その後全面にPZT8をゾルゲル法やスパッタ法で形成する。良質のPZTが形成できるようPZTの前にMgOなどのパフファ膜を形成してもよい。PZT8上に白金配線9を形成すればコンタクトホールと白金配線9との重なり部分が強誘電体容量となる。上部白金電極9をマスクとして容量部以外の強誘電体を除去してもよい。

【0058】本実施例によれば、コンタクトホールのサイズの下部電極が形成できるとともにシリコン基板1と強誘電体との間に層間絶縁膜が存在するため強誘電体材料がシリコン基板1まで拡散しにくいという利点がある。

【0059】ところで、図2の回路でMISFETのゲートと接続されていない側の強誘電体容量電極と半導体基板との間に電圧を印加する場合、電圧を印加している間、印加電圧は強誘電体容量にかかっている電圧とMISFETのゲート絶縁体にかかっている電圧と半導体基板内のバンドの曲りにより発生する電圧との和に等しい。また、ある電圧印加時に強誘電体容量のゲートと接続されていない側の電極に+Qの電荷があるとするとゲートと接続されている側の電極には-Qの電荷が存在する。このためMISFETのゲートには+Qの電荷が存在することになる。よって半導体内部には-Qの電荷が誘起される。

【0060】半導体内部のバンドの曲りにより発生する電圧と電荷の関係は半導体の一般的な関係式から求まり、またゲート絶縁体にかかる電圧と電荷の関係は常誘電体容量に電圧をかけた場合の一般的な関係から求まる。強誘電体にかかる電圧と電荷の関係は、それまで強誘電体にかけられた電界履歴によるので現状これを表現する一般式は存在しない。しかし、強誘電体容量を実際に作り電圧を印加することで電圧と電荷の関係を測定できる。印加電圧が変化する過程で前述の電圧の関係、電荷の関係、電圧と電荷の関係を満たす条件を求め、最大電圧に到達するまで追っていくことにより最大電圧印加時のゲート絶縁体にかかる電界および強誘電体にかかる電界がわかる。強誘電体の電極に半導体基板より高い電圧をかける場合と、半導体基板の方が高い場合があるため、両方の状態について検討を行い、電界の大きい側が最大電界となる。ゲート絶縁膜の最大電界はゲート絶縁膜の破壊電界より小さい必要がある。このため、強誘電体容量の面積、強誘電体の膜厚、ゲート面積または活性領域上のゲート面積、ゲート絶縁体の膜厚はこの条件を満たす関係にあるのが好ましい。

【0061】強誘電体として図16に示す電界と電荷密度特性を示す材料を使用し、ゲート絶縁膜として比誘電率が3.9の材料を用いた場合について上記手法を用

い、ゲート絶縁膜10nm、強誘電体膜厚300nm、強誘電体容量面積と活性領域上のゲート面積の比が0.03、最大電圧15Vという条件では5MV/cmの耐圧があるゲート絶縁膜であれば破壊しないという結果を得た。

【0062】上記の説明で述べた手法により強誘電体にかかる最大電界もわかる。図17に示すように強誘電体のリテンションは最大電界により変化し、最大電界が大きい方が良好なリテンションとなる。最大電界を、使用する強誘電体材料の抗電界以上とすることによりリテンションが悪くなることをさけられる。

【0063】強誘電体として図16に示す電界と電荷密度特性を有する材料を使用し、ゲート絶縁膜として比誘電率が3.9の材料を用いた場合について上記手法を用い、ゲート絶縁膜10nm、強誘電体膜厚100nm、強誘電体容量面積と活性領域上のゲート面積の比が0.03、最大電圧15Vという条件では5MV/cmの耐圧があるゲート絶縁膜であれば破壊されず、強誘電体には抗電界以上の電界が印加されるという結果を得た。

【0064】また、強誘電体容量膜厚とゲート絶縁体膜厚の比が小さすぎると強誘電体容量の微細加工が必要になったり広い面積のゲートが必要になり実現が難しいこと、比が大きすぎると強誘電体にかかる電界が小さくなりゲート電荷密度が少なくなること、および強誘電体容量面積とゲート面積または活性領域上のゲート面積の比が大きすぎると分極の影響による電荷が、広いゲートに広がるためゲート電荷密度が少なくなること、比が小さすぎると強誘電体にかかる電界が小さくなりゲート電荷密度がすくなくなることから、強誘電体容量膜厚とゲート絶縁体膜厚の比が1から300の範囲で、かつ強誘電体容量面積とゲート面積または活性領域上のゲート面積の比が0.01から5の範囲の構造が適切といえる。

【0065】

【発明の効果】本発明の半導体装置によれば、従来の装置に比べて大きな分極が得られるため、ノイズ耐性が良くなるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1実施例の断面図である。

【図2】本発明による半導体装置の回路図である。

【図3】本発明による半導体装置の回路図である。

【図4】本発明の第2実施例の断面図である。

【図5】本発明の第3実施例の断面図である。

【図6】本発明の第4実施例の断面図である。

【図7】本発明の第5実施例の断面図である。

【図8】本発明の第6実施例の断面図である。

【図9】本発明の第7実施例の断面図である。

【図10】本発明の第8実施例の断面図である。

【図11】本発明の第9実施例の断面図である。

【図12】本発明の第10実施例の断面図である。

【図13】本発明の第11実施例の断面図である。



【図14】本発明の第12実施例の断面図である。

【図15】本発明の第13実施例の断面図である。

【図16】強誘電体容量の印加電界と電界密度との関係の一例を示す図である。

【図17】PZT容量の印加電圧とリテンションとの関係の測定例を示す図である。

【図18】従来の不揮発性メモリセル構造の一例を示す図である。

【図19】従来の不揮発性メモリ装置の一例を示す断面図である。

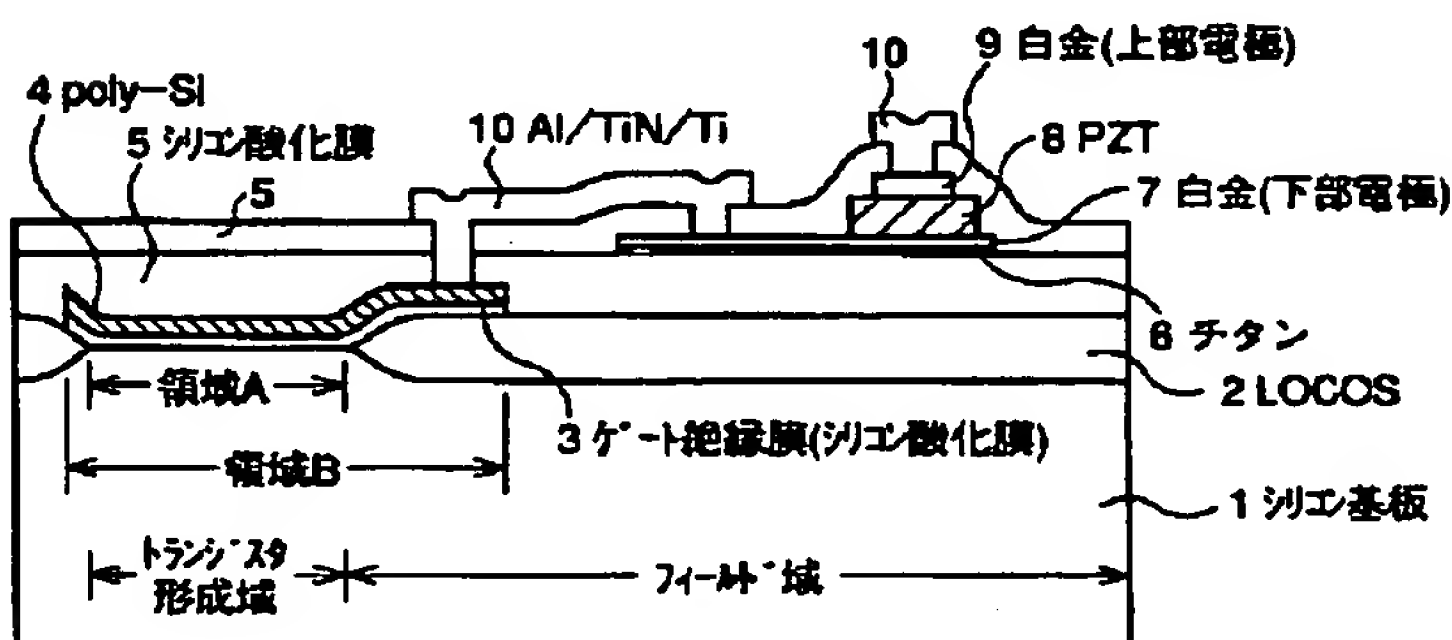
【図20】従来の不揮発性メモリ装置の一例を示す断面図である。

【図21】従来の不揮発性メモリ装置の一例を示す断面図である。

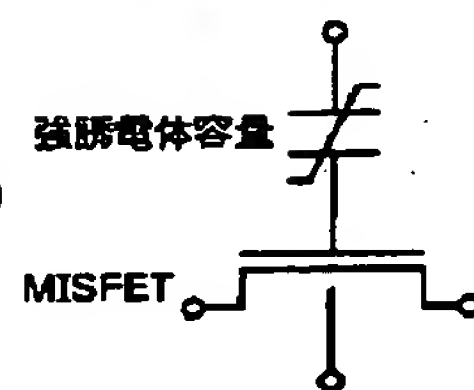
【符号の説明】

- 1 シリコン基板
- 2 LOCOS
- 3 ゲート絶縁膜(シリコン酸化膜)
- 4 poly-Si膜(ポリシリコン膜)
- 5 シリコン酸化膜
- 6 チタン
- 7 白金(下部電極)
- 8 PZT(強誘電体)
- 9 白金(上部電極)
- 10 アルミ/窒化チタン/チタン積層構造
- 11 Ir(イリジウム)

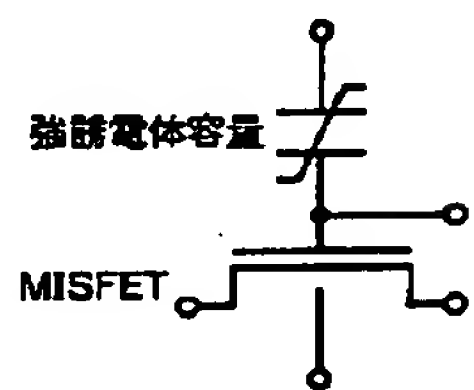
【図1】



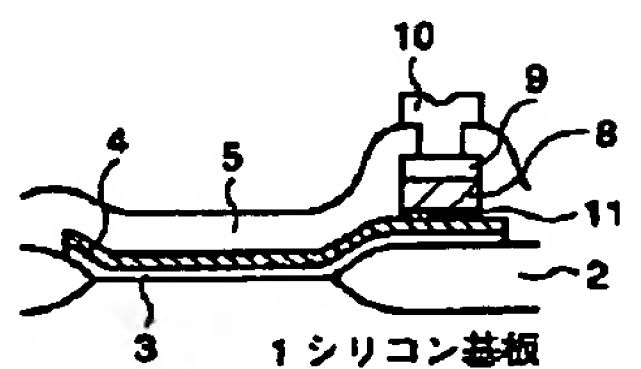
【図2】



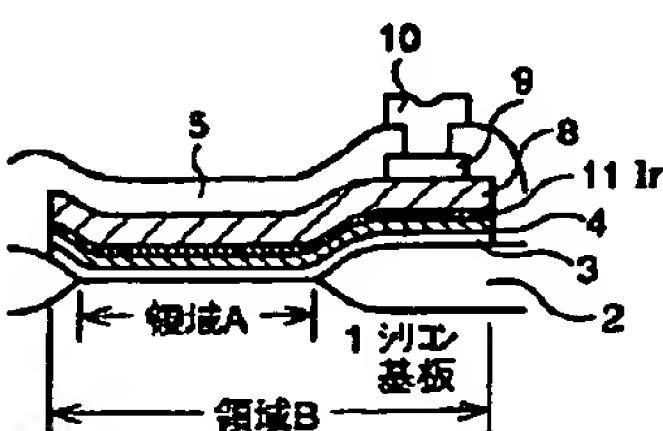
【図3】



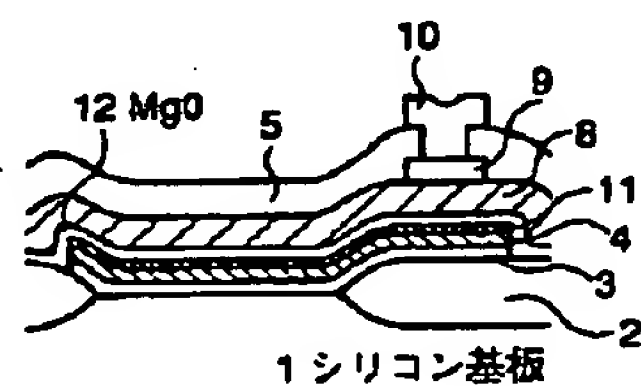
【図9】



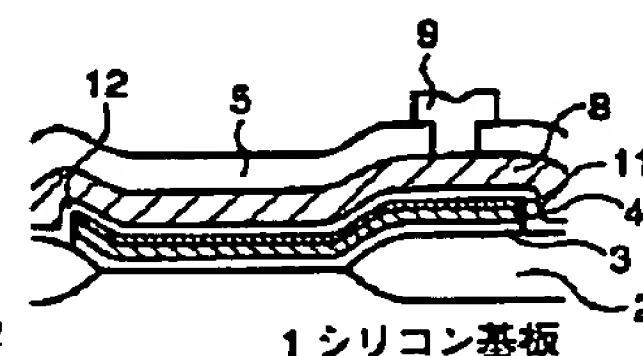
【図4】



【図5】

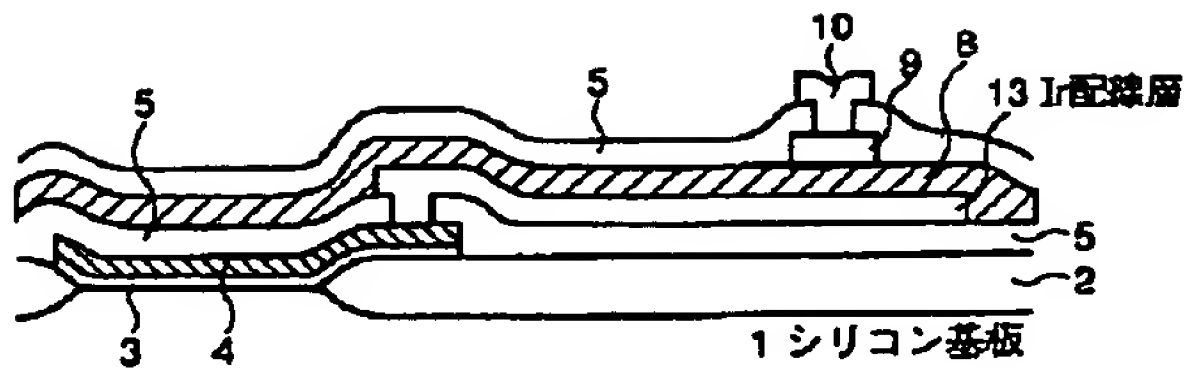


【図6】

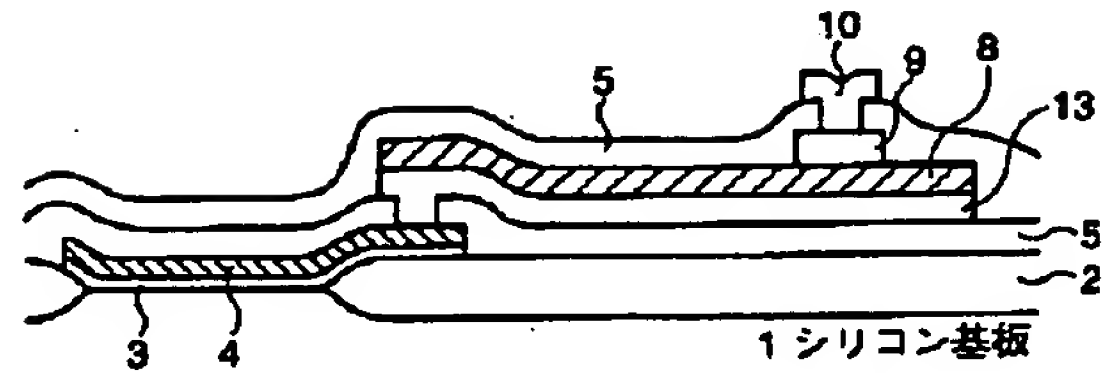


1 シリコン基板

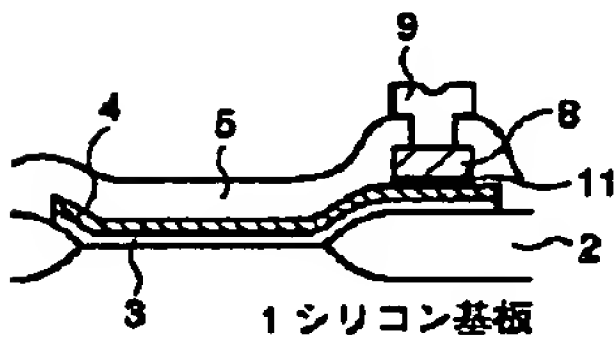
【図7】



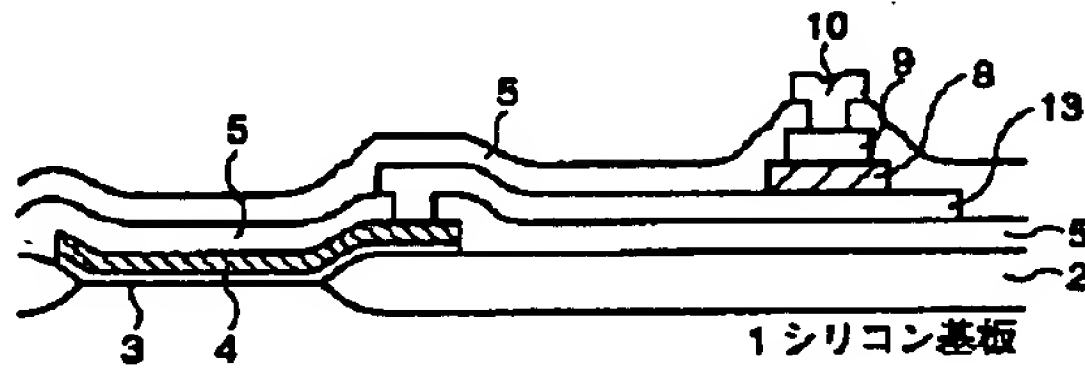
【図8】



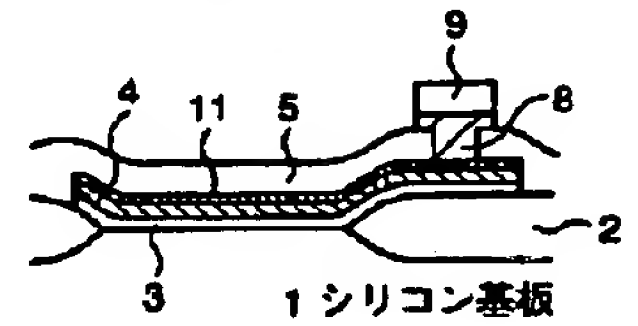
【図10】



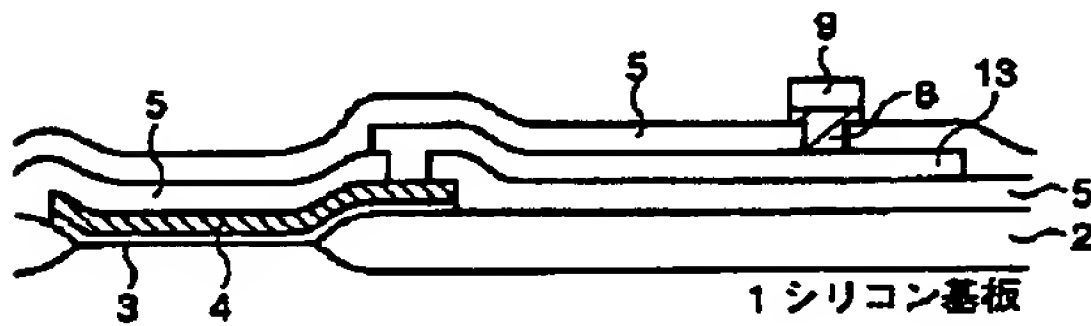
【図11】



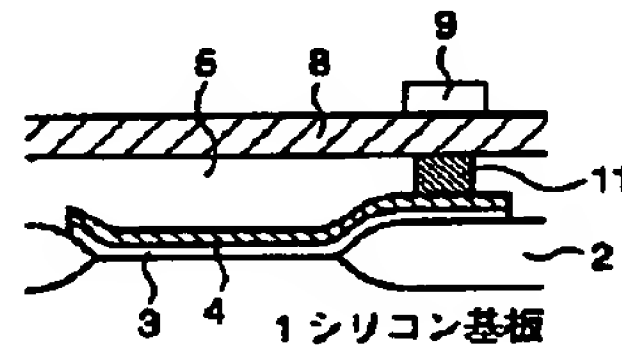
【図12】



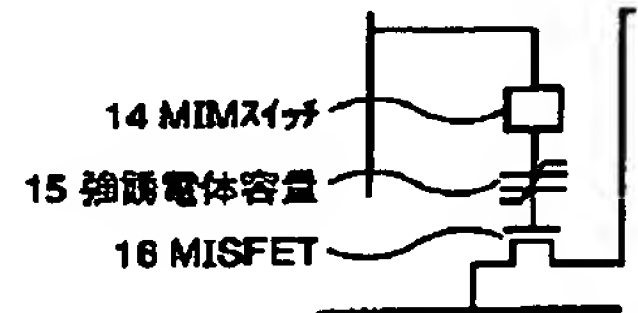
【図13】



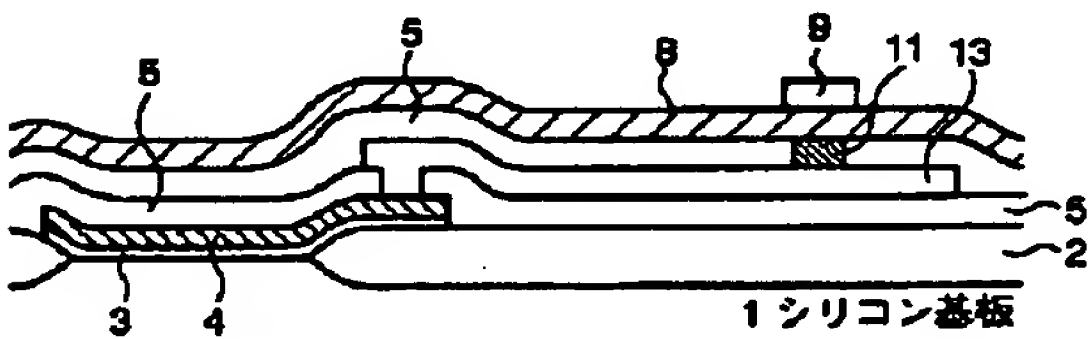
【図14】



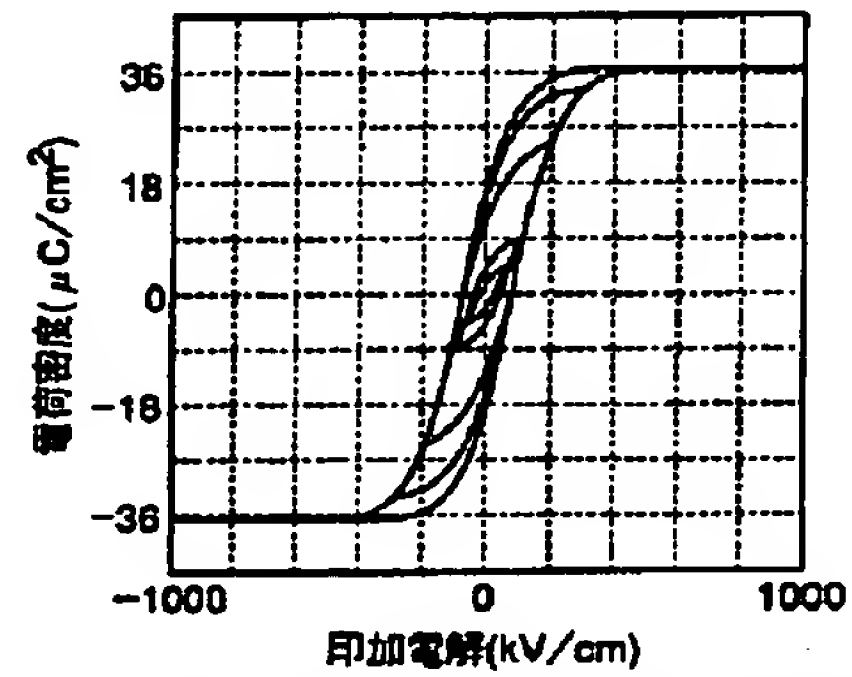
【図18】



【図15】

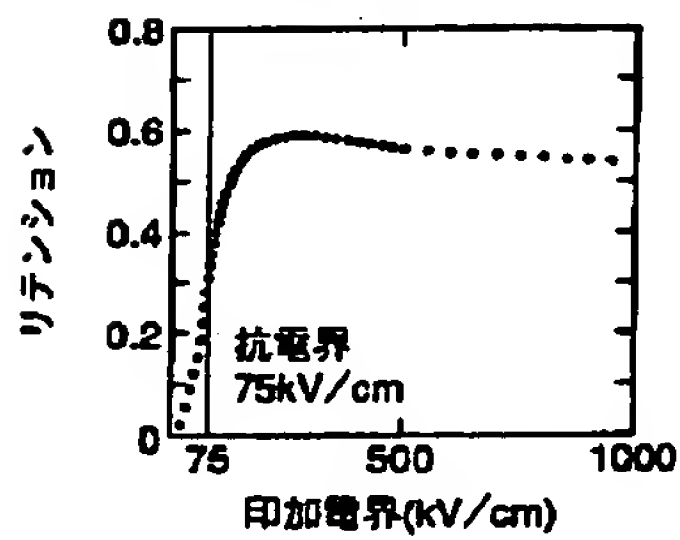


【図16】

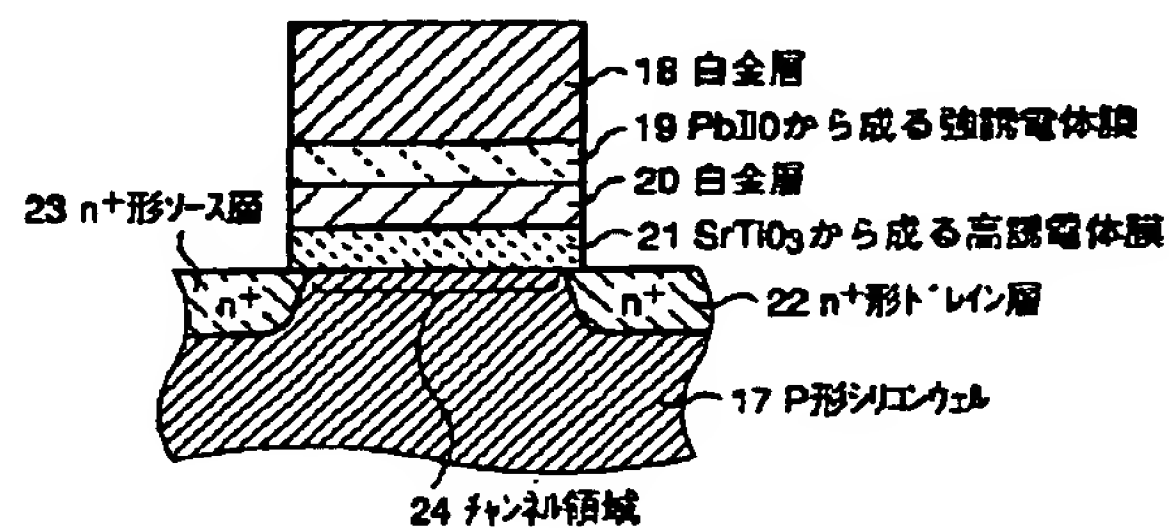


(ヒステリシスは小さい方から順に電界: 50, 100, 200, 300, 1000 kV/cm)

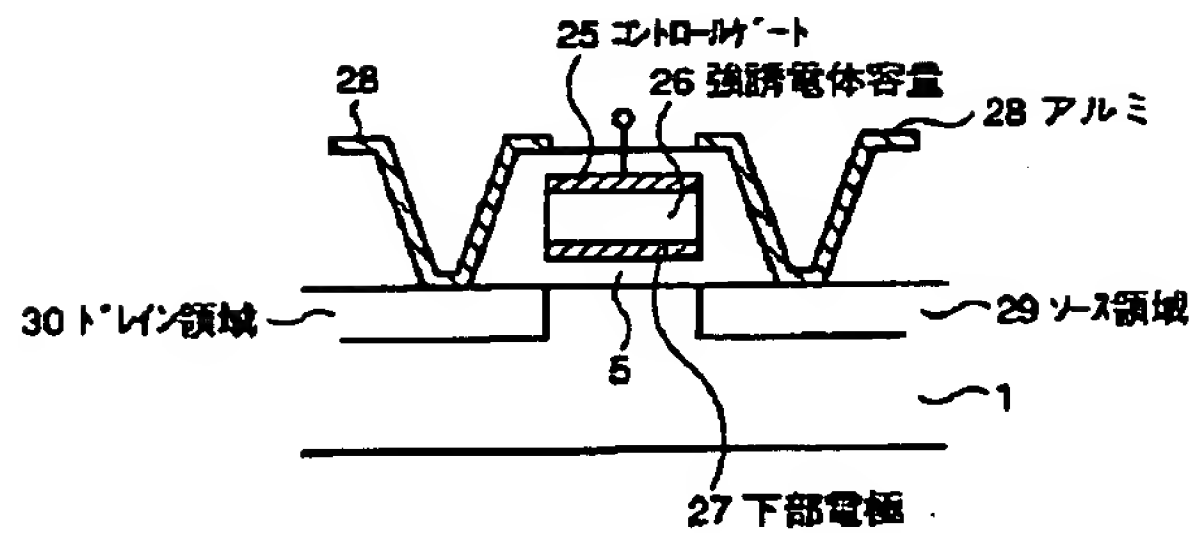
【図17】



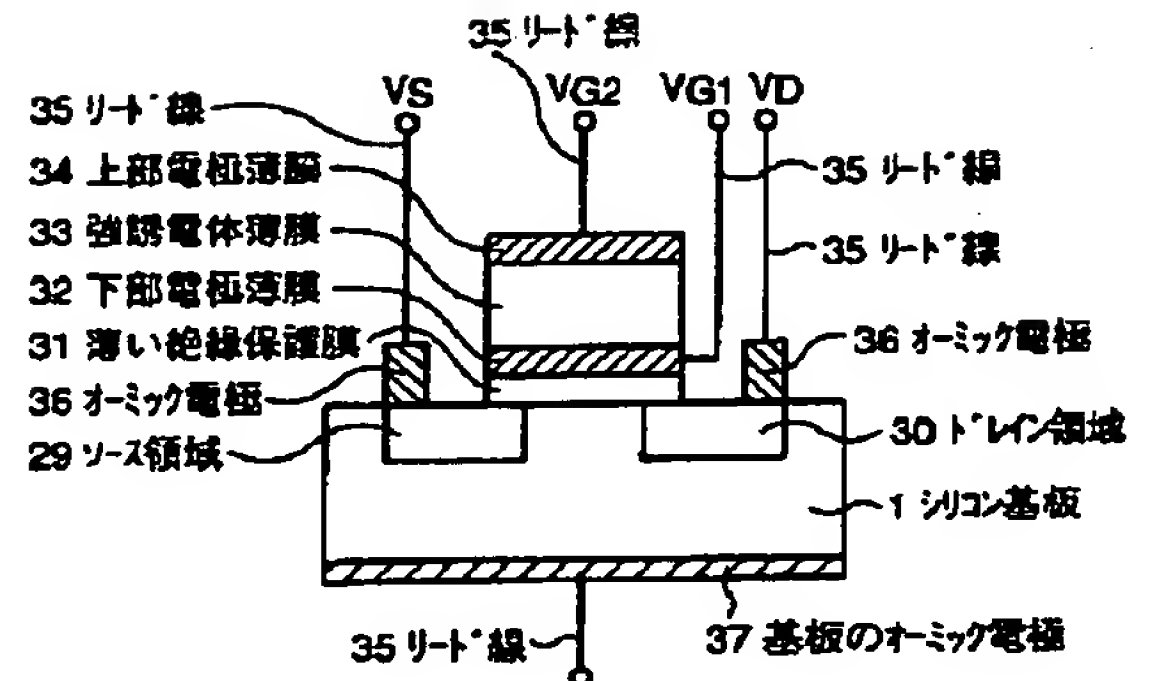
【図19】



【図20】



【図21】



## 【手続補正書】

【提出日】平成8年7月17日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】図19に特開平5-145077号で提案

された不揮発性メモリ装置の断面構造を示す。この装置は、図に示すように、上から順に、上部電極白金18、強誘電体19、下部白金20、高誘電体21、半導体の構造になっている。この場合は上部導体と基板との間に電圧を印加し強誘電体を分極させることでデータを書き込む。

フロントページの続き

(51) Int. Cl. 6  
H01L 29/792

識別記号 庁内整理番号

F I

技術表示箇所